

## 温度传感器 I<sup>2</sup>C 接口设计 \*

郑鹏峰, 冯勇建, 张春红

(厦门大学 机电工程系 福建 厦门 361005)

**摘要:**本文介绍了一个温度传感器 I<sup>2</sup>C 智能接口的设计。该设计按照 I<sup>2</sup>C 总线规范,开发了 Verilog HDL 代码,用 NC-Verilog 进行仿真验证,通过 Synopsys DC 生成门级电路网表,再把网表转换为具体电路布线结构的实现。该设计作为通讯模块放在温度传感器中制作,经过测试验证,能很好地实现读写的功能,传输速率可达到 400kb/s,同时也满足了 I<sup>2</sup>C 总线标准和快速模式的要求。该接口的应用使温度传感器的精度达到 0.5 。

**关键词:**I<sup>2</sup>C 接口; 数字电路设计; 温度传感器

**中图分类号:**TP336 **文献标识码:**A

Design of temperature sensor I<sup>2</sup>C bus

Zheng Pengfeng, Feng Yongjian, Zhang Chunhong

(Dept. of Mechanical and Electrical Engineering, Xiamen University, Xiamen 361005, China)

**Abstract:** This article introduced a temperature sensor I<sup>2</sup>C intelligence connection design. According to the I<sup>2</sup>C bus standard, the design has developed the synthesize Verilog the HDL code, and carries on the simulation confirmation using the NC-Verilog simulation tool. In the design, we needs to transform the concrete physical electric circuit of module combination to the gate level network table by automatic synthesis tool——Synopsys DC (Design Compile). Thus, we can use automatic layout wiring tool (Silicon Ensemble) to transform the net table into the concrete electric circuit structure. This design was used in the temperature sensor as the communication module to manufacture, undergoes the test confirmation. The experiment has showed that it can simultaneously satisfy the I<sup>2</sup>C bus standard and the fast pattern request. The transmission speed may achieve 400kb/s, This connection's application enables temperature sensor's precision to amount to 0.5 degree.

**Keywords:** I<sup>2</sup>C bus; Digital circuit design; Temperature sensor

\*基金项目:福建省科技攻关课题(2002 H020)资助

## 0 引言

I<sup>2</sup>C 总线最初按 100kb/s 速率设计的,被称作标准模式——S 模式,目的是用于低速通信,例如简单控制和状态信号检测等。到 1992 年推出了升级版本,其速率达到了 400kb/s,被称作快速模式——F 模式。到了 1999 年又推出了高速模式——Hs 模式,其速率高达 3.4Mb/s,可以用于开发大容量高速度的串行 RAM、EEPROM、或 Flash 存储器,以及速度不断增加的其他应用。

## 1 I<sup>2</sup>C 总线的基本工作原理

I<sup>2</sup>C 总线中包含有:主控制器、被控器、总线仲裁、时钟同步等。其中主控制器和被控器总是扮演着两个相反的角色,并且在一次通信过程中一般不发生角色转换。总线仲裁只有在总线发生冲突的时候才起作用,而时钟同步是用来控制主控制器与被控器之间的通信。它是一个真正的多主机总线,如果两个或更多主机同时初始化,数据传输可以通过冲突检测和仲裁防止数据被破坏。一次完整的通信过程的信号时序包括:主控制器发送启动信号,主控制器发送 7 位被控器地址码和读/写位,被控器发送响应标志位,主控制器发送/接收数据,接收器件(主控制器或被控器)发送接收数据响应标志位,主控制器发送停止信号。每一次的通信都是由主控制器发起和结束的,以发送启动信号和停止信号分别来掌管总线和释放总线。

## 2 开发 Verilog HDL 代码

Verilog HDL (Hardware Description Language) 是一种硬件描述语言<sup>[2]</sup>,用于从算法级、门级到开关级的多种抽象设计层次的数字系统建模。

对于 I<sup>2</sup>C 接口,我们根据功能(主要是通讯功能)的要求将设计分为 3 个模块:时序控制模块、通讯检测模块和串行—并行信号转换模块。编写好可综合的代码后需要对其进行验证,因此我们还需要编写一个信号激励源及一个模拟的 I<sup>2</sup>C 主控

制器。I<sup>2</sup>C 主控制器并不是要设计的对象,而是要用来验证设计对象所需要的器件<sup>[3]</sup>。因此,只需要设计一个 I<sup>2</sup>C MASTER 的行为模型,而不需要可综合的风格,这就大大简化了设计过程。下面给出了 I<sup>2</sup>C 测试中完整的读数据和写数据的仿真,仿真工具使用 Cadence 自带的 NC-VERILOG 进行仿真。当仿真通过后就可以使用自动综合工具将代码综合成我们需要的门级电路网表。

## 3 Synopsys DC 转换到门级电路网表

接下来把其中需要变为具体物理电路的模块组合经由自动综合工具 Synopsys DC 转换到门级电路网表。首先,启动 DC 时需要一个启动文件: .synopsys\_dc.setup,然后设计读入,设计环境,设置连线负载,设置输出负载,设置输入驱动,最后设置约束。这样我们就得到了综合电路图如图 1 所示。

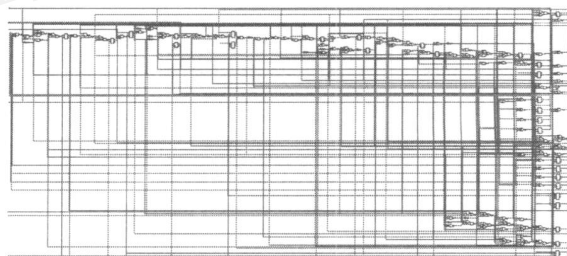


图 1 综合电路图

## 4 自动布局布线

对于这个 design,生成 netlist 后,接下来的任务就是 netlist 的物理实现,即把 netlist 转成 layout。这个过程通常称为后端(backend)。

backend 的主要任务是:

- (1) 将 netlist 实现成版图(APR)。
- (2) 证明所实现的版图满足时序要求、符合设计规则(DRC),layout 与 netlist 一致(LVS)。
- (3) 提取版图的延时信息,供前端做 post-layout 仿真。

后端用到的工具较多,netlist 实现成版图

(APR)的工具具有 cadence 的 SE(silicon ensemble) 和 avanti 的 Apollo ,时序验证工具有 cadence 的 pearl、synopsys 的 primetime 等、DRC/LVS 的工具具有 cadence 的 DIVA/ DRACULA、avanti 的 Hercules、mentor 的 calibre 等。提取版图的延时信息 (RC Extract)有 cadence 的 hyperExtract、avanti 的 starrrc、mentor 的 xcalibre 等。版图编辑工具有 cadence 的 virtuso 等。

要完成以上工作,首先要先自动布局布线。自动布局布线的方法有两种,一种是手工画版图实现,另一种是用自动布局布线工具实现(Auto Place and Route ,APR),一般说来,后者的速度、质量远远高于前者。在大规模数字集成电路<sup>[4]</sup>中如无特殊情况一般多是用后者。

自动布局布线将前端综合出来的网表实现成版图(layout),现在我们需要判断生成的版图是否可以生产出来和这个版图是否与我们想要的版图是一致的,这两个步骤就是 DRC/LVS。关于 DRC、LVS,有一个概念要明确,就是无论是手工画出的版图或者 APR 工具自动生成的版图,如果不经过 DRC &LVS 验证,那么这个版图极有可能是错的,也就是说,不经验证的版图几乎一定是错的,尤其是当 chip 的规模越来越大时。DRC、LVS 工具就是辅助 designer 发现并改正错误。只有经过严格验证的版图才有可能成为 designer 想要的正确的版图。

5 测试验证

测试从功能上考虑,首先是通讯功能的实现,要能够将 PC 上的指令转化为 I<sup>2</sup>C 格式送到温度传感器与芯片通讯,实现“读”和“写”的功能,其次是温度传感器的应用是用来检测温度,芯片本身可能处于一个高温或低温的环境中,这时候我们设计的 I<sup>2</sup>C 同样要能够稳定的运行。测试电路以 PIC16F73 为模拟的 I<sup>2</sup>C 主控制器,实现主控制器与从控制器之间的通讯,PC 的指令由 MAX232 将 RS232 电平转换为 TTL 电平,再送到 PIC 内进行处理并转换成 I<sup>2</sup>C 格式,从而与温度传感器<sup>[5]</sup>通

讯,读取各个寄存器的温度或对可编程寄存器进行设置。PIC16F73 单片机内部的通用同步/异步收发器 USART 模块具有异步和同步通信能力。其异步通信能力主要用于与其他计算机系统或单片机系统进行远程通信,而同步通信能力则主要用于本单片机电路系统之内的片外器件串行扩展。在实际应用中,由于串行通信仅需要数量很少的传输线,特别适合远距离传输,而且我们并不需要很快的传输速度,所以我们采用全双工的异步串行通信,在同一时刻,单片机和计算机双方既能发送信息也能接受信息。根据测试原理制作 PCB,进行器件的测试,测试板如图 2 所示。测试结果如图 3 和图 4 所示。

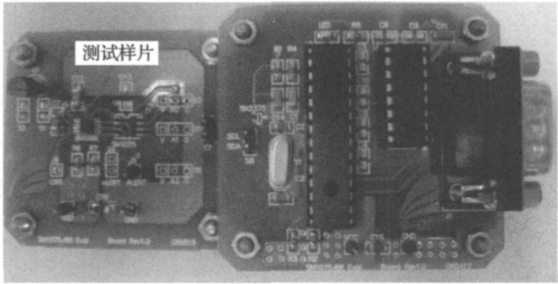


图 2 测试版的元件

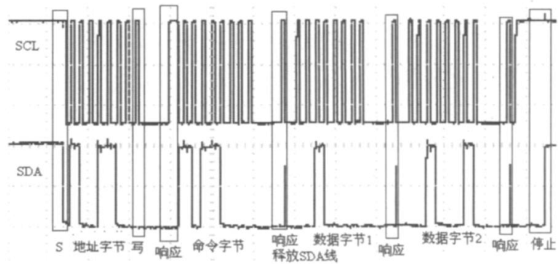


图 3 I<sup>2</sup>C“写”操作功能

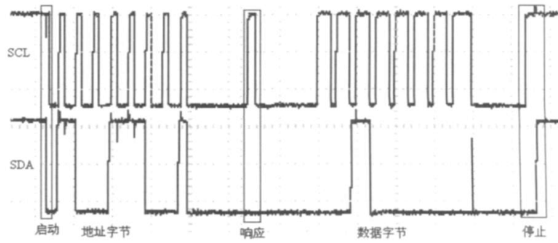


图 4 I<sup>2</sup>C“读”操作功能

从以上的图中可以明显看出,当 SCL 来一串脉冲,先给 SDA 送地址字节和写命令,SDA 接到命令后响应,开始发送 DATA,直到 SCL 和 SDA 都为高,停止命令被响应,写操作完成。读操作类似写操作,这里就不多加说明。下面是温度传感器测量温度<sup>[6]</sup>的结果,可以看到,测量的误差在 0.5° 以内。

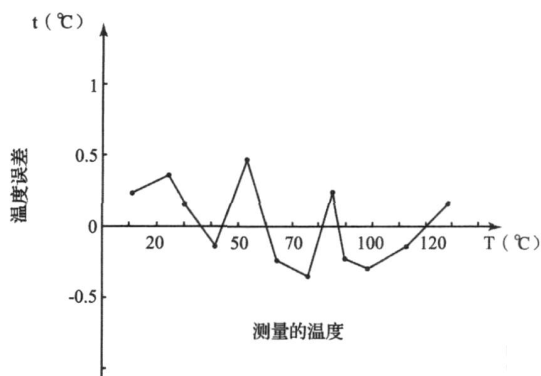


图5 温度测量

## 6 结束语

本文所设计的 I<sup>2</sup>C 总线接口按照 PHILIP 公司制定的 I<sup>2</sup>C 总线规范设计,可以应用于需要 I<sup>2</sup>C 总线硬件接口的单片机、通用外围器件,例如 RAM、ADC、LCD 驱动器、温度传感器等等。本文根据要求完成以下工作:

- (1) 完成了 I<sup>2</sup>C 总线的可综合代码的开发;
- (2) 完成了自动综合和自动布局布线;
- (3) 完成了器件的制作、封装和测试。

测试结果表明,本文中所设计 I<sup>2</sup>C 总线可以同

时满足 I<sup>2</sup>C 总线规范标准和快速模式的要求,对于该模块的引用将减少设计者的重复劳动,大大提高了工作效率。

## 参考文献

- [1] Bruce, J. W.; Gray, M. A.; Follett, R. F. Personal digital assistant (PDA) based I<sup>2</sup>C bus analysis [J]. IEEE, 2003, vol. 49: 1482-1487.
- [2] 杜建国. Verilog HDL 硬件描述语言[M]. 北京:国防工业出版社, 2004.
- [3] M. Vertregt, et al. A 0.4W Mixed-Signal Digital Storage Oscilloscope Processor with Moire Prevention, Embedded 393kb RAM and 50MSample/s 8b ADC [J]. IEEE J. Solid-state Circ, 1998, vol. 23: 1414-1417.
- [4] G. B. Jackson et al. An analog record, playback and processing system on a chip for mobile communications devices. IEEE CICC, May 1999, pp. 99-102.
- [5] K. Opasjumsrakit, et al. Self-powered wireless temperature sensors exploit RFID technology [J]. IEEE, 2006, vol. 5: 54-61.
- [6] 文剑. CMOS 数字集成温度传感器的研究与设计 [D]. 长沙:湖南大学, 2005.

## 作者简介



郑鹏峰, (1983-), 男, 厦门大学硕士研究生, 从事 IC 集成电路设计工作。  
E-mail: zpf0102617 @126.com